

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-195494

(43)Date of publication of application : 30.07.1996

(51)Int.Cl.

H01L 29/786  
G02F 1/136  
H01L 21/20  
H01L 21/316  
H01L 21/336

(21)Application number : 07-124028

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 23.05.1995

(72)Inventor : ABE HISASHI  
TAGUCHI EIJI  
ODA NOBUHIKO  
SEGAWA YASUO

(30)Priority

Priority number : 06112874  
06285190

Priority date : 26.05.1994  
18.11.1994

Priority country : JP

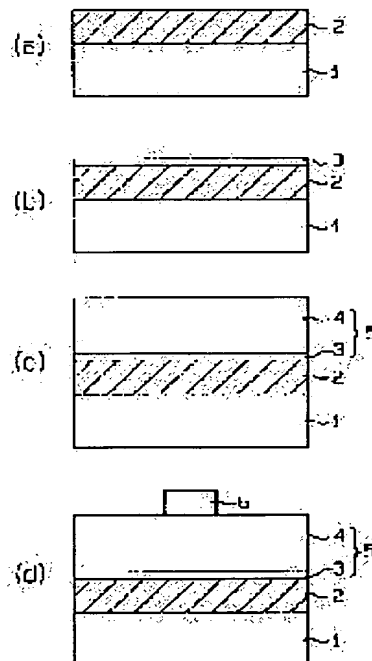
JP

(54) SEMICONDUCTOR DEVICE, MANUFACTURE OF SEMICONDUCTOR DEVICE, FILM TRANSISTOR, MANUFACTURE OF FILM TRANSISTOR, AND DISPLAY

(57)Abstract:

PURPOSE: To provide a manufacture of a semiconductor device equipped with a gate insulating film being made at a low temperature and small in interface level.

CONSTITUTION: A polycrystalline silicon film 2 is made on a transparent insulating substrate 1. An extremely thin oxide film 3 approximately 50-100Å is made on the polycrystalline silicon film by irradiation with UV-O<sub>3</sub>, oxidation in steam, RTA treatment in oxidizing gas atmosphere, etc. An insulating film 4 such as a silicon oxide film, silicon nitride film, or the like is made on the oxide film 3. A gate insulating film 5 is composed of the oxide film 3 and the insulating film 4. The whole face of the device is irradiated with light by RTA method. By this RTA method, the reduction of the level of interface between the polycrystalline silicon film 2 and the oxide film 3, the improvement of the film quality of the insulating film 4, and the improvement of the crystal property of the polycrystalline silicon film 2 can be materialized.



## LEGAL STATUS

[Date of request for examination]

25.08.1997

[Date of sending the examiner's decision of rejection] 22.08.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-195494

(43)公開日 平成8年(1996)7月30日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0			
H 0 1 L 21/20				
			H 0 1 L 29/ 78	6 1 7 U 6 1 7 V
審査請求 未請求 請求項の数19 O L (全 12 頁) 最終頁に続く				

(21)出願番号	特願平7-124028	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成7年(1995)5月23日	(72)発明者	阿部 寿 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(31)優先権主張番号	特願平6-112874	(72)発明者	田口 英二 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(32)優先日	平6(1994)5月26日	(72)発明者	小田 信彦 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(33)優先権主張国	日本 (J P)	(74)代理人	弁理士 恩田 博宣
(31)優先権主張番号	特願平6-285190		
(32)優先日	平6(1994)11月18日		
(33)優先権主張国	日本 (J P)		

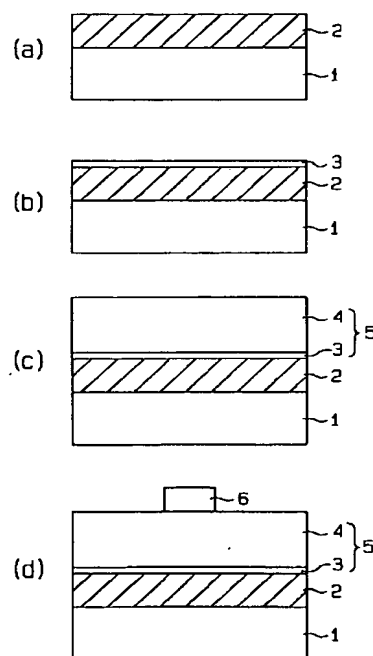
最終頁に続く

(54)【発明の名称】 半導体装置、半導体装置の製造方法、薄膜トランジスタ、薄膜トランジスタの製造方法、表示装

(57)【要約】 置

【目的】低温で形成可能で界面準位の小さなゲート絶縁膜を備えた半導体装置の製造方法を提供する。

【構成】透明絶縁基板1上に多結晶シリコン膜2を形成する。UV-O<sub>3</sub>照射、水蒸気中での酸化、酸化性ガス雰囲気中でのRTA処理などにより、多結晶シリコン膜2上に50~100 Å程度の極めて薄い酸化膜3を形成する。酸化膜3上にシリコン酸化膜やシリコン窒化膜などの絶縁膜4を形成する。酸化膜3と絶縁膜4とでゲート絶縁膜5が構成される。RTA法により、デバイスの全面に一括して光を照射する。このRTA法により、多結晶シリコン膜2と酸化膜3との界面準位の低減、絶縁膜4の膜質の改善、多結晶シリコン膜2の結晶性の向上を図ることができる。



【特許請求の範囲】

【請求項 1】 酸化膜と絶縁膜とから成る少なくとも 2 層構造の絶縁膜を備えた半導体装置。

【請求項 2】 シリコン層を酸化させて形成された酸化膜と、その上に形成された絶縁膜とから成る少なくとも 2 層構造の絶縁膜を備えた半導体装置。

【請求項 3】 能動層としてのシリコン層を酸化させて形成された酸化膜と、その上に形成された絶縁膜とから成る少なくとも 2 層構造の絶縁膜を備えた半導体装置。

【請求項 4】 能動層としてのシリコン層を酸化させて形成された酸化膜と、その上に被着法で形成された絶縁膜とから成る少なくとも 2 層構造のゲート絶縁膜を備えた半導体装置。

【請求項 5】 能動層としての多結晶シリコン膜を酸化させて形成された酸化膜と、その上に被着法で形成された絶縁膜とから成る少なくとも 2 層構造のゲート絶縁膜を備えた薄膜トランジスタ。

【請求項 6】 シリコン層を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えた半導体装置の製造方法。

【請求項 7】 R T A 法により酸化性ガス雰囲気中でシリコン膜にランプ光を照射することでシリコン膜を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えた半導体装置の製造方法。

【請求項 8】 R T A 法により酸化性ガス雰囲気中でシリコン膜にランプ光を走査させて照射することでシリコン膜を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えた半導体装置の製造方法。

【請求項 9】 U V - O<sub>3</sub> 照射による酸化法によりシリコン膜を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えた半導体装置の製造方法。

【請求項 10】 請求項 6 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法において、前記酸化膜および絶縁膜に熱処理を行う工程を備えた半導体装置の製造方法。

【請求項 11】 請求項 6 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法において、R T A 法により前記絶縁膜の表面にランプ光を照射する工程を備えた半導体装置の製造方法。

【請求項 12】 請求項 6 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法において、R T A 法により前記絶縁膜の表面にランプ光を一括して照射する工程を備えた半導体装置の製造方法。

【請求項 13】 絶縁基板上にシリコン膜を形成する工程と、請求項 6 ～ 12 のいずれか 1 項に記載の半導体装置の製造方法により、シリコン膜上に少なくとも 2 層構造のゲート絶縁膜を形成する工程と、

そのゲート絶縁膜上にゲート配線を形成する工程と、そのゲート配線を用いた自己整合技術により、シリコン膜にソース領域およびドレイン領域を形成する工程とを備えた薄膜トランジスタの製造方法。

【請求項 14】 絶縁基板上にシリコン膜を形成する工程と、

R T A 法により酸化性ガス雰囲気中でシリコン膜にランプ光を照射することでシリコン膜を酸化させてゲート絶縁膜を形成する工程と、

そのゲート絶縁膜上にゲート配線を形成する工程と、そのゲート配線を用いた自己整合技術により、シリコン膜にソース領域およびドレイン領域を形成する工程とを備えた薄膜トランジスタの製造方法。

【請求項 15】 請求項 13 または請求項 14 に記載の薄膜トランジスタの製造方法において、前記シリコン膜は多結晶シリコン膜または非晶質シリコン膜である薄膜トランジスタの製造方法。

【請求項 16】 請求項 13 または請求項 14 に記載の薄膜トランジスタの製造方法において、前記シリコン膜は固相成長法または熔融再結晶化法によって形成された多結晶シリコン膜である薄膜トランジスタの製造方法。

【請求項 17】 請求項 13 ～ 16 のいずれか 1 項に記載の薄膜トランジスタの製造方法において、デバイスの全面に層間絶縁膜を形成する工程と、その層間絶縁膜にソース領域およびドレイン領域とコンタクトするコンタクトホールを形成する工程と、ソース電極およびドレイン電極を形成する工程とを備えた薄膜トランジスタの製造方法。

【請求項 18】 請求項 5 に記載の薄膜トランジスタを画素駆動素子として用いる表示装置。

【請求項 19】 請求項 13 ～ 17 のいずれか 1 項に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素駆動素子として用いる表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置、半導体装置の製造方法、薄膜トランジスタ (T F T ; Thin Film Transistor) 、薄膜トランジスタの製造方法、表示装置に関するものである。

【0002】

【従来の技術】 近年、アクティブマトリクス方式の液晶ディスプレイ (L C D ; Liquid Crystal Display) が高画質な表示装置として注目されている。そのアクティブマトリクス方式 L C D の画素駆動素子 (画素駆動用トランジスタ) として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ (以下、多結晶シリコン T F T という) の開発が進められている。

【0003】 多結晶シリコン T F T は、非晶質シリコン膜を能動層に用いた薄膜トランジスタ (以下、非晶質シ

リコンTFTという)に比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTを用いれば、高性能なLCDを実現できる上に、画素部(表示部)だけでなく周辺駆動回路(ドライバ)までも同一基板上に一体にして形成することができる。

【0004】従来の多結晶シリコンTFTは、1000℃程度の高温の工程(高温プロセスと呼ばれる)を使って形成されていた。高温プロセスは長年に渡る十分な技術的蓄積のあるLSI技術を踏襲したものである。そのため、高温プロセスで形成された多結晶シリコンTFT(高温多結晶シリコンTFTと呼ばれる)は、素子特性、信頼性、再現性に優れている。しかし、高温プロセスはプロセス温度が高いため、基板には石英ガラスを使わざるを得ない。石英ガラスは大型化に伴って著しく高価になる上に現在のところ大型化には限りがあるため、基板の寸法が制限を受ける。そのため、コスト的に見合うLCDのパネルサイズは2型以下となり、ビデオカメラのビューファインダ用や液晶プロジェクタ用としては十分に使用できるものの、直視用としてはパネルサイズが小さすぎて使用できない。

【0005】一方、非晶質シリコンTFTは、400℃以下の低温の工程を使って形成可能なため、基板に通常のガラスを使うことができる。通常のガラスは石英ガラスの約1/10の価格で寸法にも制限がないが、LCD用に市販されている高耐熱ガラス(例えば、米国Corning Inc.製の「7059」)でも600℃程度の耐熱温度しかない。

【0006】そこで、基板に通常のガラス(高耐熱ガラス)を使用できるように、多結晶シリコンTFTを600℃程度以下の低温の工程(低温プロセスと呼ばれる)を使って形成することが求められている。低温プロセスで形成された多結晶シリコンTFTは低温多結晶シリコンTFTと呼ばれる。低温多結晶シリコンTFTで問題となるのは、能動層となる多結晶シリコン膜の形成方法、ゲート絶縁膜の形成方法、ソース・ドレイン領域の形成方法などである。

【0007】単結晶シリコン基板上に形成される通常のMOSトランジスタ(バルクトランジスタ)では、ゲート絶縁膜として高温酸化法で形成された熱酸化膜が用いられる。単結晶シリコン基板上に形成された熱酸化膜は、膜質が均一で欠陥が少なく耐圧が高いことに加え、界面準位密度(シリコン基板と熱酸化膜との界面のトラップ密度)が小さいため、ゲート絶縁膜として求められる諸条件を満たしている。

【0008】しかし、熱酸化膜は600℃以下で形成することができないため、低温多結晶シリコンTFTではゲート絶縁膜として熱酸化膜を用いることはできない。また、多結晶シリコン膜は単結晶シリコン基板のように表面が平坦ではなく荒れており、その酸化は面方位によって規定されるため、多結晶シリコン膜上に形成された熱酸化膜の表面も荒れたものになる。ゲート絶縁膜の表面

が荒れており、その凹凸が大きいと、多結晶シリコンTFTの素子特性が悪化してしまう。従って、低温多結晶シリコンTFTだけでなく高温多結晶シリコンTFTにおいても、ゲート絶縁膜として熱酸化膜を用いることは望ましくない。

【0009】そこで、多結晶シリコンTFTでは、ゲート絶縁膜として被着法で形成されたシリコン酸化膜が用いられる。被着法にはスパッタ法、常圧CVD法、減圧CVD法、ECR(Electron Cyclotron Resonance)プラズマCVD法などがある。

【0010】スパッタ法は、真空中に基板とターゲットを配置し、アルゴンプラズマなどによってターゲット中の材料をたたき出して基板上に堆積させる方法である。スパッタ法には、反応性スパッタ法と非反応性スパッタ法とがある。反応性スパッタ法では、ターゲットとしてシリコンが用いられ、そのターゲットからたたき出されたシリコンが基板に被着する間にガス中の酸素と反応して酸化シリコンが形成される。一方、非反応性スパッタ法では、ターゲットとして二酸化シリコンが用いられ、そのターゲットからたたき出された二酸化シリコンが基板に直接被着する。

【0011】常圧CVD法や減圧CVD法は、チャンバ内に材料ガスを導入し、材料ガスの化学反応によってできた生成物を基板上に堆積させる方法である。ECRプラズマCVD法は、チャンバ内に材料ガスを導入し、その材料ガスをECR現象を利用して反応させ、その反応によってできた生成物を基板上に堆積させる方法である。

【0012】

【発明が解決しようとする課題】スパッタ法、常圧CVD法、減圧CVD法によって多結晶シリコン膜上に形成されたシリコン酸化膜は、耐圧は高いものの、界面準位密度(多結晶シリコン膜とシリコン酸化膜との界面のトラップ密度)が大きいうという欠点がある。ゲート絶縁膜の界面準位密度が大きくなると、多結晶シリコンTFTの素子特性が悪化してしまう。多結晶シリコンTFTの素子特性が悪化すると、LCDの画質が劣化することになる。

【0013】一方、ECRプラズマCVD法では、プラズマの発生と膜の生成とが装置内の別々の領域で行われるため、基板が直接プラズマにさらされることはなく、基板がダメージを受けることはない。そのため、ECRプラズマCVD法によって多結晶シリコン膜上に形成されたシリコン酸化膜は、界面準位密度が小さくなる。加えて、ECRプラズマCVD法ではECR現象を利用することで低温でも材料ガスの完全な反応を起こすことができるため、生成されたシリコン酸化膜の膜質は均一になって欠陥が少なくなり耐圧が高くなる。しかし、ECRプラズマCVD法は現在のところ実験室段階の技術であって量産に結び付けるには問題が多く、スループット

を向上させるのが困難であるという欠点がある。

【0014】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) 界面準位密度の小さな半導体装置およびその製造方法を提供する。

【0015】2) 優れたゲート絶縁膜を備えた薄膜トランジスタおよびその製造方法を提供する。

3) 高性能な薄膜トランジスタを画素駆動素子として用いる優れた表示装置を提供する。

【0016】

【課題を解決するための手段】請求項1に記載の発明は、酸化膜と絶縁膜とから成る少なくとも2層構造の絶縁膜を備えたことをその要旨とする。

【0017】請求項2に記載の発明は、シリコン層を酸化させて形成された酸化膜と、その上に形成された絶縁膜とから成る少なくとも2層構造の絶縁膜を備えたことをその要旨とする。

【0018】請求項3に記載の発明は、能動層としてのシリコン層を酸化させて形成された酸化膜と、その上に形成された絶縁膜とから成る少なくとも2層構造の絶縁膜を備えたことをその要旨とする。

【0019】請求項4に記載の発明は、能動層としてのシリコン層を酸化させて形成された酸化膜と、その上に被着法で形成された絶縁膜とから成る少なくとも2層構造のゲート絶縁膜を備えたことをその要旨とする。

【0020】請求項5に記載の発明は、能動層としての多結晶シリコン膜を酸化させて形成された酸化膜と、その上に被着法で形成された絶縁膜とから成る少なくとも2層構造のゲート絶縁膜を備えたことをその要旨とする。

【0021】請求項6に記載の発明は、シリコン層を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えたことをその要旨とする。

【0022】請求項7に記載の発明は、RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を照射することでシリコン膜を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えたことをその要旨とする。

【0023】請求項8に記載の発明は、RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を走査させて照射することでシリコン膜を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えたことをその要旨とする。

【0024】請求項9に記載の発明は、UV-O<sub>3</sub>照射による酸化法によりシリコン膜を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えたことをその要旨とする。

【0025】請求項10に記載の発明は、請求項6～9のいずれか1項に記載の半導体装置の製造方法におい

て、前記酸化膜および絶縁膜に熱処理を行う工程を備えたことをその要旨とする。

【0026】請求項11に記載の発明は、請求項6～9のいずれか1項に記載の半導体装置の製造方法において、RTA法により前記絶縁膜の表面にランプ光を照射する工程を備えたことをその要旨とする。

【0027】請求項12に記載の発明は、請求項6～9のいずれか1項に記載の半導体装置の製造方法において、RTA法により前記絶縁膜の表面にランプ光を一括して照射する工程を備えたことをその要旨とする。

【0028】請求項13に記載の発明は、絶縁基板上にシリコン膜を形成する工程と、請求項6～12のいずれか1項に記載の半導体装置の製造方法により、シリコン膜上に少なくとも2層構造のゲート絶縁膜を形成する工程と、そのゲート絶縁膜上にゲート配線を形成する工程と、そのゲート配線を用いた自己整合技術により、シリコン膜にソース領域およびドレイン領域を形成する工程とを備えたことをその要旨とする。

【0029】請求項14に記載の発明は、絶縁基板上にシリコン膜を形成する工程と、RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を照射することでシリコン膜を酸化させてゲート絶縁膜を形成する工程と、そのゲート絶縁膜上にゲート配線を形成する工程と、そのゲート配線を用いた自己整合技術により、シリコン膜にソース領域およびドレイン領域を形成する工程とを備えたことをその要旨とする。

【0030】請求項15に記載の発明は、請求項13または請求項14に記載の薄膜トランジスタの製造方法において、前記シリコン膜は多結晶シリコン膜または非晶質シリコン膜であることをその要旨とする。

【0031】請求項16に記載の発明は、請求項13または請求項14に記載の薄膜トランジスタの製造方法において、前記シリコン膜は固相成長法または熔融再結晶化法によって形成された多結晶シリコン膜であることをその要旨とする。

【0032】請求項17に記載の発明は、請求項13～16のいずれか1項に記載の薄膜トランジスタの製造方法において、デバイスの全面に層間絶縁膜を形成する工程と、その層間絶縁膜にソース領域およびドレイン領域とコンタクトするコンタクトホールを形成する工程と、ソース電極およびドレイン電極を形成する工程とを備えた薄膜トランジスタの製造方法。

【0033】請求項18に記載の発明は、請求項5に記載の薄膜トランジスタを画素駆動素子として用いる表示装置。請求項19に記載の発明は、請求項13～17のいずれか1項に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素駆動素子として用いる表示装置。

【0034】

【作用】請求項1に記載の発明によれば、2層構造の絶

縁膜を得ることができる。請求項2に記載の発明によれば、酸化膜とシリコン層との界面準位密度が小さくなるために、シリコン層と多層構造の絶縁膜との界面準位密度を小さくすることができる。

【0035】請求項3に記載の発明によれば、能動層と多層構造の絶縁膜との界面準位密度を小さくすることができる。請求項4に記載の発明によれば、被着法で形成された絶縁膜と能動層としてのシリコン層との間に当該シリコン層を酸化させて形成された酸化膜を設けることにより、能動層と多層構造の絶縁膜との界面準位密度を小さくすることができる。

【0036】請求項5に記載の発明によれば、被着法で形成された絶縁膜と能動層としての多結晶シリコン膜との間に当該シリコン膜を酸化させて形成された酸化膜を設けることにより、能動層と多層構造の絶縁膜との界面準位密度を小さくすることができる。

【0037】請求項6に記載の発明によれば、酸化膜とシリコン層との界面準位密度が小さくなるために、シリコン層と多層構造の絶縁膜との界面準位密度を小さくすることができる。

【0038】請求項7に記載の発明によれば、RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を照射することで、シリコン膜だけを加熱してその表面を酸化させて酸化膜を形成することができる。従って、ランプ光の出力を調整すれば、シリコン膜の下層にある部材が熱によって影響を受けることはない。

【0039】請求項8に記載の発明によれば、RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を走査させて照射することで、シリコン膜だけを加熱してその表面を酸化させて酸化膜を形成することができる。従って、ランプ光の出力および走査速度を調整すれば、シリコン膜の下層にある部材が熱によって影響を受けることはない。

【0040】請求項9に記載の発明によれば、UV-O<sub>3</sub>照射によってシリコン膜の下層にある部材に影響を与えることなく酸化膜を形成することができる。請求項10に記載の発明によれば、酸化膜および絶縁膜に熱処理を行うことにより、シリコン層（膜）と酸化膜との界面準位密度の低減、絶縁膜の膜質の改善、シリコン層（膜）の結晶性の向上を図ることができる。

【0041】請求項11に記載の発明によれば、RTA法により絶縁膜の表面にランプ光を照射することにより、酸化膜および絶縁膜に熱処理が施される。その結果、シリコン層（膜）と酸化膜との界面準位密度の低減、絶縁膜の膜質の改善、シリコン層（膜）の結晶性の向上を図ることができる。また、ランプ光の出力を調整すれば、シリコン膜の下層にある部材が熱によって影響を受けることはない。

【0042】請求項12に記載の発明によれば、請求項11に記載の発明と同様の作用および効果を得ることが

できる。加えて、ランプ光を一括して照射することにより、デバイス全体にわたって効率的な熱処理を行うことができる。

【0043】請求項13に記載の発明によれば、請求項6～12のいずれか1項に記載の発明の作用および効果により、優れたゲート絶縁膜を備えた薄膜トランジスタを形成することができる。

【0044】請求項14に記載の発明によれば、ランプ光の出力を調整することにより、絶縁基板に影響を与えることなくゲート絶縁膜を形成することができ、薄膜トランジスタを形成することができる。

【0045】請求項15に記載の発明によれば、多結晶シリコン膜を能動層とする薄膜トランジスタまたは非晶質シリコン膜を能動層とする薄膜トランジスタを得ることができる。

【0046】請求項16に記載の発明によれば、多結晶シリコン膜を低温で形成することができる。請求項17に記載の発明によれば、薄膜トランジスタを完成させることができる。

【0047】請求項18または請求項19に記載の発明によれば、高性能な薄膜トランジスタを画素駆動素子として用いることにより、優れた表示装置を得ることができる。また、薄膜トランジスタの製造に係る全工程を低温プロセス化すれば、基板に耐熱温度の低い材料を用いることができ、安価で大面積な表示装置を得ることができる。

【0048】

【実施例】以下、本発明をプレーナ型の多結晶シリコンTFTに具体化した一実施例の製造方法を図1～図3に従って説明する。

【0049】工程1（図1（a）参照）；透明絶縁基板1（石英ガラス、高耐熱ガラス）上にノンドープの多結晶シリコン膜2（膜厚；500 Å）を形成する。多結晶シリコン膜2の形成方法には以下のものがある。

【0050】①多結晶シリコン膜2を直接形成する方法；CVD法またはPVD法を用いる。CVD法には常圧CVD法、減圧CVD法、プラズマCVD法、光励起CVD法などがある。また、PVD法には蒸着法、EB（Electron Beam）蒸着法、MBE（Molecular Beam Epitaxy）法、スパッタ法などがある。

【0051】この中では、モノシラン（SiH<sub>4</sub>）またはジシラン（Si<sub>2</sub>H<sub>6</sub>）の熱分解を利用する減圧CVD法が一般的であり、最も高品質な多結晶シリコン膜2を形成することができる。減圧CVD法では、処理温度が550℃以下では非晶質、620℃以上では多結晶となる。

【0052】また、プラズマ中でのモノシランまたはジシランの熱分解を利用するプラズマCVD法も用いられる。プラズマCVD法の処理温度は300℃程度で、水素を添加すると反応が促進されて非晶質シリコン膜が形成

される。そして、不活性ガス（ヘリウム、ネオン、アルゴン、クリプトン、キセノン、ラドン）を添加するとプラズマが励起され、同一の処理温度でも多結晶シリコン膜が形成される。

【0053】②非晶質シリコン膜を形成した後に多結晶化させて多結晶シリコン膜2を形成する方法；固相成長法または熔融再結晶化法を用いる。固相成長法は、非晶質シリコン膜に600℃前後で20時間前後の長時間の熱処理を行うことにより、固体のまま多結晶化させて多結晶シリコン膜を得る方法である。

【0054】熔融再結晶化法は、非晶質シリコン膜の表面だけを熔融させて再結晶化を図りながら基板温度を600℃以下に保つ方法であり、レーザアニール法やRTA（Rapid Thermal Annealing）法がある。レーザアニール法は、非晶質シリコン膜の表面にレーザを照射して加熱熔融させる方法である。RTA法は、非晶質シリコン膜の表面にランプ光を照射して加熱熔融させる方法である。

【0055】このように、固相成長法または熔融再結晶化法を用いて基板温度が600℃以上にならないようにすれば、透明絶縁基板1として高耐熱ガラスを用いることができる。

【0056】工程2（図1（b）参照）；多結晶シリコン膜2の表面を酸化させて酸化膜3（膜厚；100Å）を形成する。酸化膜3の形成方法には以下のものがある。  
(1) UV-O<sub>3</sub>照射による酸化法、高温酸化法（水蒸気雰囲気中での酸化法）、低温酸化法（高圧水蒸気雰囲気中での酸化法、酸素プラズマ中での酸化法）などを用いる。

【0057】UV-O<sub>3</sub>照射による酸化法とは、酸素雰囲気中で紫外線を照射することによって発生する活性なオゾンを用いて低温で酸化を行う方法である。高温酸化法では酸化膜3を600℃以下で形成することができないが、酸化膜3の膜厚が100Å程度と薄い場合には、透明絶縁基板1として高耐熱ガラスを用いることができる。ところで、高温酸化法には、乾燥酸素を用いるドライ酸化法、湿った酸素を用いるウェット酸化法などもあるが、できるだけ低温で効率の良い酸化を行うには水蒸気雰囲気中での酸化法が適している。

【0058】尚、UV-O<sub>3</sub>照射による酸化法または低温酸化法によって形成された酸化膜3の界面準位密度は、高温酸化法によって形成された熱酸化膜と同等で、スパッタ法、常圧CVD法、減圧CVD法などによって形成されたシリコン酸化膜に比べて1桁以上小さくなる。また、UV-O<sub>3</sub>照射による酸化法または低温酸化法によって形成された酸化膜3の膜質は均一で欠陥が少なく、その耐圧は高温酸化法によって形成された熱酸化膜と同等になる。

【0059】(2) 酸素、オゾン、水蒸気などの酸化性ガス雰囲気中でRTA処理を行う。このRTA処理で用い

るRTA装置を図3に示す。このRTA装置11は、予備加熱室A、処理室B、冷却室Cを備えている。各室A～Cにまたがってステージ12が設けられ、そのステージ12上をRTA処理されるサンプル（基板1）が移動する。予備加熱室A内では基板1が予備加熱される。処理室B内には、円柱状のランプ（タングステンランプまたはキセノンランプ）13と反射板14（集光光学系）とが備えられており、前記酸化性ガス雰囲気中で満たされている。ランプ13から照射された光は反射板14で反射し、基板1表面に線状に集光される（図示S）。基板1はステージ12上を一定速度で掃引されるため、基板1表面に線状に集光した光Sもステージ12の速度に応じて掃引される。冷却室C内では基板1が冷却される。

【0060】このRTA処理において、多結晶シリコン膜2は線状に集光した光Sを吸収し、温度が上昇する。その結果、酸化性ガス雰囲気中で高温になった多結晶シリコン膜2の表面が熱酸化し、酸化膜3が形成される。このとき、透明絶縁基板1は光を透過して吸収しないため光Sによる直接の温度上昇はなく、多結晶シリコン膜2からの熱伝導によって温度が上昇するだけである。従って、ランプ13の出力やステージ12の掃引速度を調整することにより、透明絶縁基板1の温度を一定値内に抑えたままで、多結晶シリコン膜2の温度を高めることができる。従って、透明絶縁基板1として高耐熱ガラスを用いることができる。

【0061】尚、RTA処理で形成された酸化膜3の膜質は均一で欠陥が少なく、その界面準位密度および耐圧は、高温酸化法によって形成された熱酸化膜と同等になる。また、酸素<水蒸気<オゾンの順で酸化性が高くなるため、酸化性ガスとしてはオゾンを用いた場合に最も効率良く酸化膜3を形成することができる。

【0062】工程3（図1（c）参照）；被着法により、酸化膜3上に絶縁膜4（膜厚；900Å）を形成する。被着法にはPVD法またはCVD法がある。CVD法には常圧CVD法、減圧CVD法、プラズマCVD法、ECRプラズマCVD法、光励起CVD法などがある。また、PVD法には蒸着法、EB（Electron Beam）蒸着法、MBE（Molecular Beam Epitaxy）法、スパッタ法などがある。そして、絶縁膜4の材質としてはシリコン酸化膜、シリコン窒化膜、シリコン窒酸化膜（SiO<sub>x</sub>N<sub>y</sub>）が用いられ、各膜を組み合わせる多層構造にする方法もある。

【0063】スパッタ法では200℃以下の低温で緻密な絶縁膜4を成膜することが可能である上に、成膜速度も速いためスループットを向上させることができる。尚、スパッタ法ではデバイスがプラズマ中にさらされるが、酸化膜3が設けられているため、多結晶シリコン膜2がダメージを受けることはない。

【0064】CVD法によるシリコン酸化膜の形成には、モノシランまたはジシランの熱分解、有機オキシシ



ラン (TEOS など) の熱分解、ハロゲン化珪素の加水分解などを用いる。CVD法によるシリコン窒化膜の形成には、アンモニアおよびジクロルシラン ( $\text{SiH}_2\text{Cl}_2$ )、アンモニアおよびモノシラン、窒素およびモノシランなどの熱分解などを用いる。シリコン窒化膜は酸化膜と窒化膜の両膜の特性をもつもので、CVD法によるシリコン窒化膜の形成の系に酸化窒素 ( $\text{N}_2\text{O}$ ) を少量導入することで形成できる。

【0065】尚、CVD法を用いた場合は、スパッタ法を用いた場合に比べて成膜温度が高くなる上に成膜速度が遅くなり、形成された絶縁膜4の緻密性が劣るという欠点がある。

【0066】このように形成された絶縁膜4と酸化膜3とでゲート絶縁膜5が形成される。次に、RTA処理により、デバイスの全面に一括して光を照射する。この場合のRTA処理は、前記した酸化膜3の形成時のRTA処理とは異なり、酸化性ガス雰囲気中で行う必要はなく、基板1上に光を線状に集光させる必要やその光を掃引する必要もない。すなわち、デバイスの全面に一括して光を照射することにより、各膜2~4全体を一括して加熱することができる。その結果、多結晶シリコン膜2と酸化膜3との界面準位密度の低減、絶縁膜4の膜質の改善、多結晶シリコン膜2の結晶性の向上を図ることができる。

【0067】工程4 (図1 (d) 参照) ; ゲート絶縁膜5上にゲート電極6を形成して所望の形状にパターンニングする。ゲート電極6の材質としては、不純物がドーパされた多結晶シリコン (ドーパドポリシリコン)、金属シリサイド、ポリサイド、高融点金属単体、その他の金属などが用いられ、その形成にはCVD法またはPVD法が用いられる。

【0068】工程5 (図2参照) ; 自己整合技術により、ゲート電極6をマスクとして多結晶シリコン膜2にソース・ドレイン領域7を形成する。ソース・ドレイン領域7の形成方法にも高温プロセスおよび低温プロセスがある。高温プロセスでは、不純物をイオン注入後に高温の熱処理を行って不純物を活性化させる。低温プロセスでは、ホスフィンガス ( $\text{PH}_3$ ) またはジボランガス ( $\text{B}_2\text{H}_6$ ) と水素ガスとの混合ガスによるイオンシャワーを照射することで、特別な熱処理工程を設けることなく不純物の注入と活性化を同時に行う。尚、低温プロセスでは、不純物をイオン注入後に600℃程度以下の低温で数時間~数十時間の熱処理を行うことで不純物を活性化させる方法もある。

【0069】尚、透明絶縁基板1に高耐熱ガラスを用いた場合には、多結晶シリコン膜2の形成時だけでなく、ゲート絶縁膜5の形成時およびソース・ドレイン領域7の形成時にも低温プロセスを用いなければならない。

【0070】次に、デバイスの全面に層間絶縁膜8を形成する。層間絶縁膜8の材質としては、シリコン酸化

膜、シリケートガラス、シリコン窒化膜などが用いられ、その形成にはCVD法またはPVD法が用いられる。続いて、ソース・ドレイン領域7とコンタクトするコンタクトホール9が層間絶縁膜8に形成され、ソース・ドレイン電極10が形成されて多結晶シリコンTFT106が完成する。

【0071】このように、本実施例においては、多結晶シリコン膜2上に形成された酸化膜3と、その上に形成された絶縁膜4とでゲート絶縁膜5が構成されている。ゲート絶縁膜5の界面準位を規定するのは、多結晶シリコン膜2と接する酸化膜3である。ここで、酸化膜3の界面準位密度は小さいため、ゲート絶縁膜5全体としての界面準位密度も小さくなる。従って、本実施例によれば、多結晶シリコンTFT106の素子特性を向上させることができる。

【0072】但し、多結晶シリコン膜2は単結晶シリコン基板のように表面が平坦ではなく、多結晶シリコン膜2の酸化は面方位によって規定されるため、酸化膜3の表面も荒れたものになる。しかし、酸化膜3の膜厚が薄い場合には、酸化膜3の表面の凹凸を小さくすることができる。従って、酸化膜3の膜厚は50~100Åが適当である。酸化膜3の膜厚がこの範囲より厚くなると、酸化膜3の表面の凹凸が大きくなり、多結晶シリコンTFT106の素子特性が悪化する傾向がある。反対に、酸化膜3の膜厚がこの範囲より薄くなると、ゲート絶縁膜5全体としての界面準位密度が大きくなり、やはり多結晶シリコンTFT106の素子特性が悪化する傾向がある。

【0073】また、本実施例において、絶縁膜4の形成にスパッタ法を用いた場合には、ゲート絶縁膜5を低温プロセスによって高いスループットで形成することができる。

【0074】さらに、ゲート絶縁膜5の形成後にRTA処理を行うことにより、多結晶シリコンTFT106の素子特性をさらに向上させることができる。そして、このように形成された高性能の多結晶シリコンTFTをアクティブマトリクス方式LCDの画素駆動素子として用いれば、高画質なLCDを得ることができる。また、本実施例において、全工程に低温プロセスを採用すれば、透明絶縁基板1に高耐熱ガラスを用いてパネルサイズの大きなLCDを安価に提供することができる。

【0075】次に、上記のように製造された多結晶シリコンTFT106を画素駆動素子として用いた透過型構成をとるLCDの画素部の製造方法を図4に従って説明する。

【0076】工程一; 層間絶縁膜8の形成に先立ち、スパッタ法により、透明絶縁基板1の画素部領域上にインジウム錫酸化物 ( $\text{ITO}$ ; Indium Tin Oxide) 等からなる補助容量の蓄積電極51を形成する。

【0077】工程二; デバイスの全面に絶縁膜52を形

成する。絶縁膜52の材質としては、シリコン酸化膜、シリケートガラス、シリコン窒化膜などが用いられ、その形成にはCVD法またはPVD法が用いられる。次に、絶縁膜52にソース・ドレイン電極10とコンタクトするためのコンタクトホールを形成し、スパッタ法により、そのコンタクトホールを含むデバイスの全面にITO膜を形成し、そのITO膜をパターンニングして表示電極53を形成する。

【0078】工程三；多結晶シリコンTFT106が形成された透明絶縁基板1と、表面に共通電極54が形成された透明絶縁基板55とを相対向させ、各基板1、55の間に液晶を封入して液晶層56を形成する。その結果、LCDの画素部が完成する。

【0079】図5に、本実施例のアクティブマトリクス方式LCDのブロック構成を示す。画素部101には各走査線（ゲート配線） $G_1 \cdots G_n, G_{n+1} \cdots G_m$ と各データ線（ドレイン配線） $D_1 \cdots D_n, D_{n+1} \cdots D_m$ とが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ直交し、その直交部分に画素102が設けられている。そして、各ゲート配線はゲートドライバ103に接続され、ゲート信号（走査信号）が印加されるようになっている。また、各ドレイン配線はドレインドライバ（データドライバ）104に接続され、データ信号（ビデオ信号）が印加されるようになっている。これらのドライバ103、104によって周辺駆動回路部105が構成されている。そして、各ドライバ103、104のうち少なくともいずれか一方を画素部101と同一基板上に形成したLCDは、一般にドライバー一体型（ドライバ内蔵型）LCDと呼ばれる。尚、ゲートドライバ103が、画素部101の両側に設けられている場合もある。また、ドレインドライバ104が、画素部101の両側に設けられている場合もある。

【0080】図6に、ゲート配線 $G_n$ とドレイン配線 $D_n$ との直交部分に設けられている画素102の等価回路を示す。画素102は、画素駆動素子としてのTFT106、液晶セルLC、補助容量CSから構成される。ゲート配線 $G_n$ にはTFT106のゲートが接続され、ドレイン配線 $D_n$ にはTFT106のドレインが接続されている。そして、TFT106のソースには、液晶セルLCの表示電極（画素電極）と補助容量（蓄積容量または付加容量）CSとが接続されている。この液晶セルLCと補助容量CSとにより、前記信号蓄積素子が構成される。液晶セルLCの共通電極（表示電極の反対側の電極）には電圧 $V_{com}$ が印加されている。一方、補助容量CSにおいて、TFT106のソースと接続される側の電極の反対側の電極には定電圧 $V_R$ が印加されている。この液晶セルLCの共通電極は、文字どおり全ての画素102に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量CSにおいて、TFT1

06のソースと接続される側の電極の反対側の電極は、隣のゲート配線 $G_{n+1}$ と接続されている場合もある。

【0081】このように構成された画素102において、ゲート配線 $G_n$ を正電圧にしてTFT106のゲートに正電圧を印加すると、TFT106がオンとなる。すると、ドレイン配線 $D_n$ に印加されたデータ信号で、液晶セルLCの静電容量と補助容量CSとが充電される。反対に、ゲート配線 $G_n$ を負電圧にしてTFT106のゲートに負電圧を印加すると、TFT106がオフとなり、その時点でドレイン配線 $D_n$ に印加されていた電圧が、液晶セルLCの静電容量と補助容量CSとによって保持される。このように、画素102へ書き込みたいデータ信号をドレイン配線に与えてゲート配線の電圧を制御することにより、画素102に任意のデータ信号を保持させておくことができる。その画素102の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0082】ここで、画素102の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部101の仕様から定められた単位時間内に、信号蓄積素子（液晶セルLCおよび補助容量CS）に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することができるかどうかという点である。

【0083】補助容量CSが設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性および保持特性を向上させるためである。すなわち、液晶セルLCはその構造上、静電容量の増大には限界がある。そこで、補助容量CSによって液晶セルLCの静電容量の不足分を補うわけである。

【0084】図7に、酸化膜3の膜厚を変化させた場合における多結晶シリコンTFT106の移動度および耐圧の変化を示す。多結晶シリコンTFT106をアクティブマトリクス方式LCDの画素駆動素子として用いる場合、その耐圧が低いと多結晶シリコンTFT106が動作不良を起こす。具体的には、多結晶シリコンTFT106の耐圧は7MV/cm以上は必要である。

【0085】また、ドライバー一体型LCDにおいて、多結晶シリコンTFT106でアクティブマトリクス方式LCDの周辺駆動回路部105を構成する場合、その移動度が低いと周辺駆動回路部の性能が低下し、高画質なLCDを得ることができなくなる。移動度が低い多結晶シリコンTFTで周辺駆動回路部105を構成した上で高画質なLCDを得るとなると、周辺駆動回路部105の回路規模が大きくなり過ぎてしまう。具体的には、多結晶シリコンTFT106の移動度は $60 \text{ cm}^2/\text{V} \cdot \text{S}$ 以上は必要である。

【0086】従って、酸化膜3の膜厚は30~130 Åが適

当であり、望ましくは50～100 Åである。尚、上記各実施例は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1) 多結晶シリコン膜2を非晶質シリコン膜に置き換え、その非晶質シリコン膜上に酸化膜3と絶縁膜4とを順次形成する。そして、工程3のRTA処理により、その非晶質シリコン膜を加熱熔融させて多結晶シリコン膜2を形成する。

【0087】(2) 酸化膜3をRTA処理で形成した場合、工程3のRTA処理を省く。この場合には、上記実施例に比べてゲート絶縁膜5の界面準位密度の低減効果が劣る上に、絶縁膜4の膜質の改善および多結晶シリコン膜2の結晶性の向上を図ることができなくなる反面、製造工程を簡略化することができる。

【0088】(3) 多結晶シリコンTFTの製造工程において、多結晶シリコン膜2の形成後に、水素化処理を行うことで多結晶シリコンTFTの素子特性を向上させる。水素化処理とは、多結晶シリコンの結晶欠陥部分に水素原子を結合させることにより、欠陥を減らして結晶構造を安定化させ、電界効果移動度を高める方法である。

【0089】(4) 多結晶シリコン膜2におけるソース・ドレイン領域7間のチャネル領域に相当する部分に不純物をドーピングして多結晶シリコンTFTの閾値電圧( $V_{th}$ )を制御する。固相成長法で形成された多結晶シリコンTFTにおいては、nチャネルトランジスタではディプレッション方向に閾値電圧がシフトし、pチャネルトランジスタではエンハンスメント方向に閾値電圧がシフトする傾向にある。特に、水素化処理を行った場合には、その傾向がより顕著となる。この閾値電圧のシフトを抑えるには、チャネル領域に不純物をドーピングすればよい。

【0090】(5) 多結晶シリコンTFTが小型化してゲート絶縁膜の膜厚が薄くなった場合には、絶縁膜4を省いて酸化膜3のみでゲート絶縁膜5を構成してもよい。

(6) 多結晶シリコンTFTではなく非晶質シリコンTFTに適用する。

【0091】(7) プレーナ型だけでなく、逆プレーナ型、スタガ型、逆スタガ型などあらゆる構造のTFTに適用する。

(8) TFTだけでなく、絶縁ゲート型半導体素子全般に適用する。また、太陽電池や光センサなどの光電変換素子、バイポーラトランジスタ、静電誘導型トランジスタ(SIT; Static Induction Transistor)などのシリコン膜を用いるあらゆる半導体装置に適用する。

【0092】(9) 透明絶縁基板1をセラミックス基板やシリコン酸化膜などの絶縁層に置き換え、LCDではなく密着型イメージセンサや三次元ICなどに適用する。

(10) TFTを、ダイナミックRAM(DRAM)のメモリスル内の電荷転送素子やスタティックRAM(SRAM)のメモリスル内の負荷素子などに用いる。

【0093】以上、各実施例について説明したが、各実施例から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ) 請求項13～17のいずれか1項に記載の薄膜トランジスタの製造方法において、シリコン膜に水素化処理を施した薄膜トランジスタの製造方法。

【0094】このようにすれば、シリコン膜に多結晶シリコン膜を用いた場合、その結晶欠陥部分に水素原子が結合することにより、欠陥が減って結晶構造が安定化し、電界効果移動度を高めることができる。

【0095】(ロ) 請求項13～17のいずれか1項に記載の薄膜トランジスタの製造方法において、シリコン膜のチャネル領域に相当する部分に不純物をドーピングした薄膜トランジスタの製造方法。

【0096】このようにすれば、薄膜トランジスタの閾値電圧を制御することができる。ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

【0097】(a) 絶縁基板としては、石英ガラス、高耐熱ガラス、高耐熱樹脂、セラミックスなどのあらゆる絶縁材料による基板を含むだけでなく、表面にシリコン酸化膜などの絶縁層を設けた金属などの導電性基板をも含むものとする。

【0098】(b) 酸化性ガスとしては、酸素だけでなく、オゾンや水蒸気などのあらゆる酸化性ガスをも含むものとする。

【0099】

【発明の効果】

1) 界面準位密度の小さな半導体装置およびその製造方法を提供することができる。

【0100】2) 優れたゲート絶縁膜を備えた薄膜トランジスタおよびその製造方法を提供することができる。

3) 高性能な薄膜トランジスタを画素駆動素子として用いる優れた表示装置を提供することができる。

【図面の簡単な説明】

【図1】一実施例の製造工程を説明するための概略断面図。

【図2】一実施例の製造工程を説明するための概略断面図。

【図3】一実施例の製造装置の概略構成図。

【図4】LCDの画素部の製造方法を説明するための概略断面図。

【図5】アクティブマトリックス方式LCDのブロック構成図。

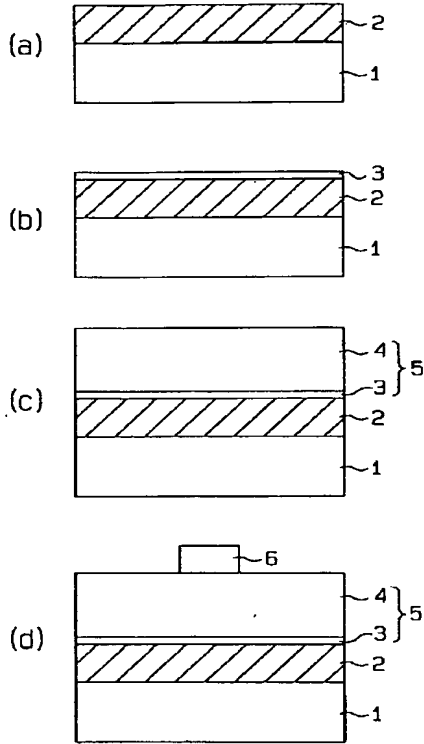
【図6】画素の等価回路図。

【図7】一実施例の作用を説明するための特性図。

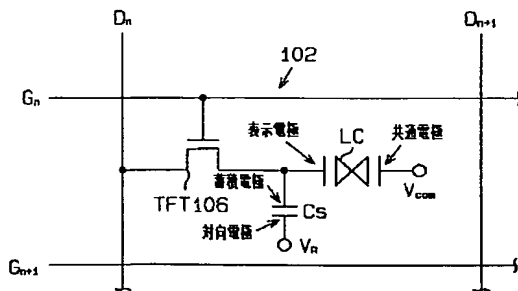
【符号の説明】

- 1 透明絶縁基板
- 2 多結晶シリコン膜
- 3 酸化膜
- 4 絶縁膜
- 5 ゲート絶縁膜
- 6 ゲート電極

【図1】

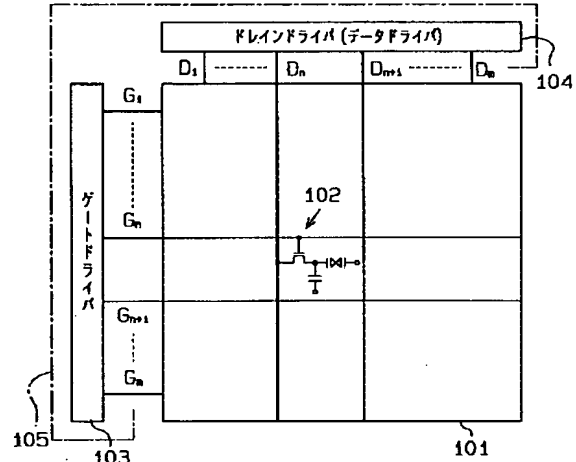


【図6】

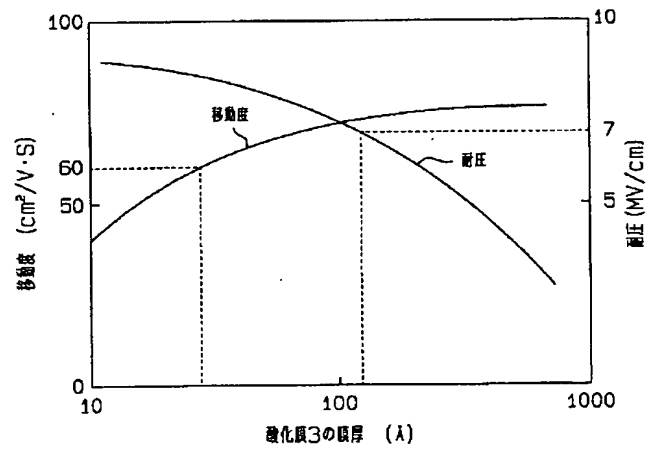


- 7 ソース領域およびドレイン領域 (ソース・ドレイン領域)
- 8 層間絶縁膜
- 9 コンタクトホール
- 10 ソース電極およびドレイン電極 (ソース・ドレイン電極)

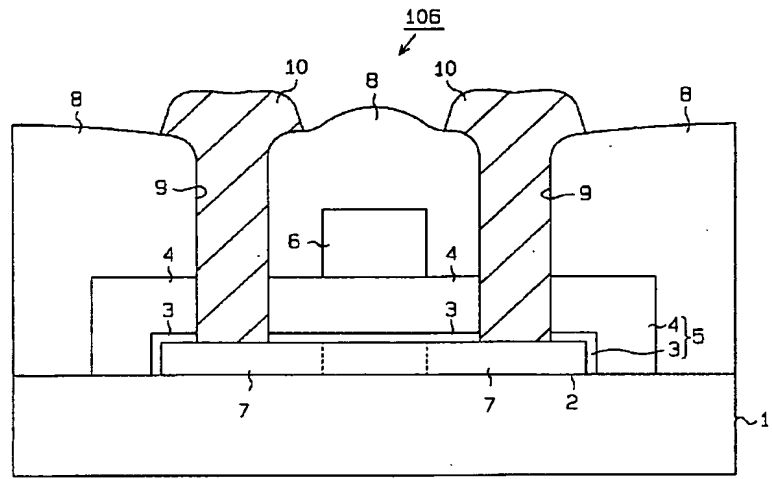
【図5】



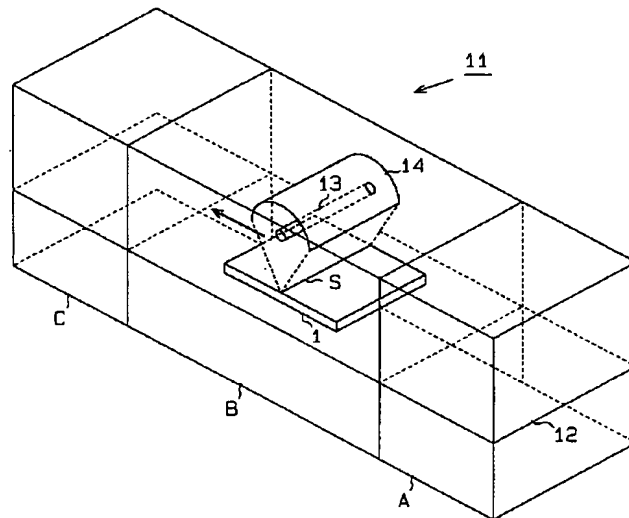
【図7】



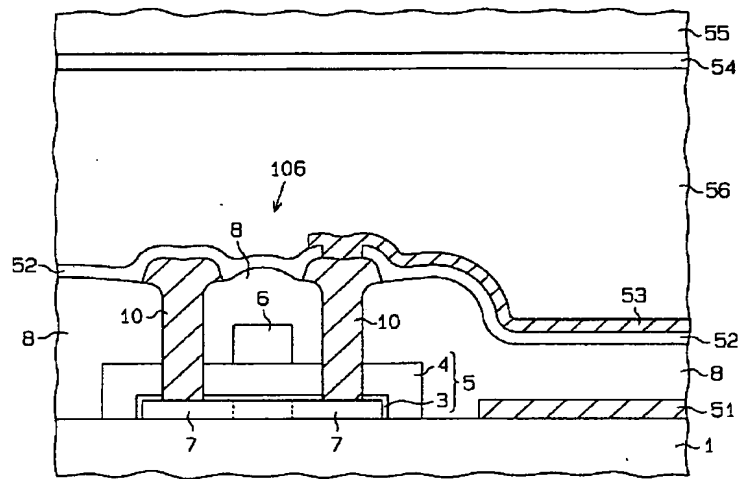
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

H 0 1 L 21/316

21/336

識別記号

M

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

6 2 7 G

(72) 発明者 瀬川 泰生

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内